

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-217319

(43)Date of publication of application : 02.08.2002

(51)Int.Cl. H01L 21/8247  
 H01L 27/115  
 H01L 27/10  
 H01L 29/788  
 H01L 29/792

(21)Application number : 2001-012933

(71)Applicant : NEC CORP

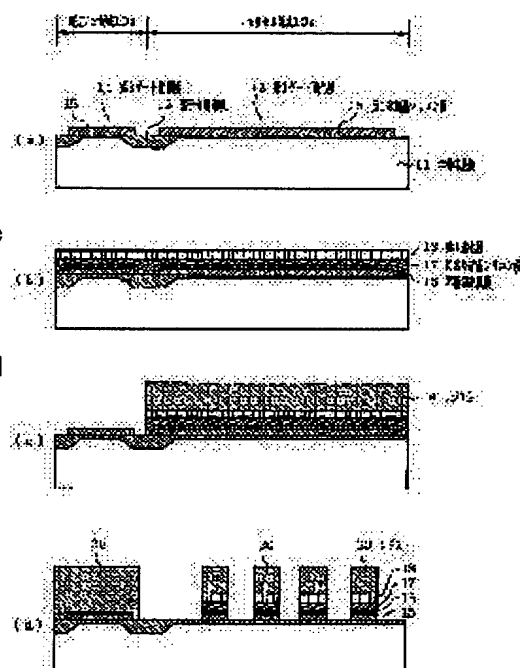
(22)Date of filing : 22.01.2001

(72)Inventor : INOUE TATSURO

**(54) NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE AND ITS MANUFACTURING METHOD****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a non-volatile semiconductor storage device in which the area of cell size can be reduced while ensuring the lowering of the resistance of a peripheral transistor and its manufacturing method.

**SOLUTION:** In the non-volatile semiconductor storage device having a memory cell transistor and the peripheral transistor on the same semiconductor substrate 11, metallic silicide layers 28 are formed on both diffusion layers of the memory cell transistor and the peripheral transistor and on the gate electrode of the peripheral transistor, and the contact of the memory cell transistor has a self-alignment contact structure.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] withdrawal

[Date of final disposal for application] 07.11.2002

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-217319

(P2002-217319A)

(43) 公開日 平成14年8月2日 (2002. 8. 2)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)	
H 0 1 L 21/8247		H 0 1 L 27/10	4 8 1	5 F 0 0 1
27/115			4 3 4	5 F 0 8 3
27/10	4 8 1	29/78	3 7 1	5 F 1 0 1
29/788				
29/792				

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2001-12933(P2001-12933)

(22) 出願日 平成13年1月22日 (2001. 1. 22)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 井上 達朗

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100086645

弁理士 岩佐 義幸

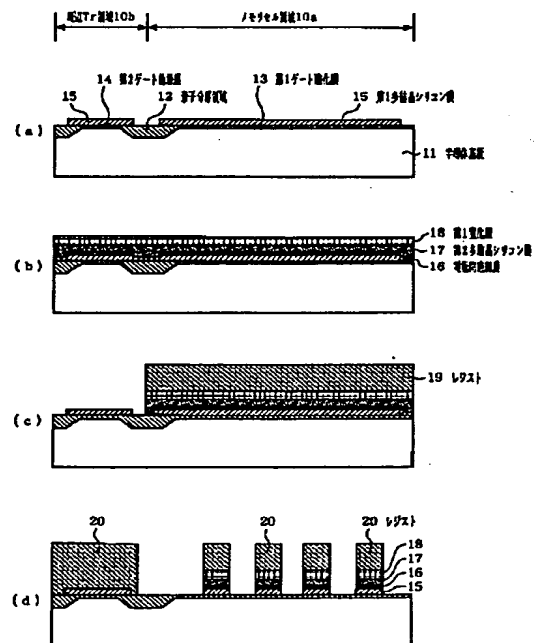
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置およびその製造方法

(57) 【要約】

【課題】 周辺トランジスタの低抵抗化を確保しつつセルサイズの面積を縮小することができる不揮発性半導体記憶装置およびその製造方法を提供する。

【解決手段】 同一半導体基板11上にメモリセルトランジスタと周辺トランジスタを有する不揮発性半導体記憶装置において、メモリセルトランジスタと周辺トランジスタの両拡散層及び周辺トランジスタのゲート電極上に、金属シリサイド層28が形成され、メモリセルトランジスタのコンタクトがセルフアラインコンタクト構造を有する。



## 【特許請求の範囲】

【請求項1】同一基板上にメモリセルトランジスタと周辺トランジスタを有する不揮発性半導体記憶装置において、

前記メモリセルトランジスタと前記周辺トランジスタの両拡散層及び前記周辺トランジスタのゲート電極上に、金属シリサイド層が形成され、前記メモリセルトランジスタのコンタクトがセルフアラインコンタクト構造を有することを特徴とする不揮発性半導体記憶装置。

【請求項2】前記周辺トランジスタのゲート電極が、前記メモリセルトランジスタの浮遊ゲート電極と同一材料により形成されていることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】同一基板上にメモリセルトランジスタと周辺トランジスタを有する不揮発性半導体記憶装置の製造方法において、

前記メモリセルトランジスタと前記周辺トランジスタの両拡散層に、金属シリサイド層を形成すると同時に、前記メモリセルトランジスタの拡散層にセルフアライメントプロセスによりコンタクトを形成することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項4】前記周辺トランジスタの拡散層のコンタクトホールを、前記メモリセルトランジスタの拡散層のコンタクトホールと同時に形成することを特徴とする請求項3に記載の不揮発性半導体記憶装置の製造方法。

【請求項5】同一基板上にメモリセルトランジスタと周辺トランジスタを有する不揮発性半導体記憶装置の製造方法において、

半導体基板上に素子分離領域を形成する工程と、  
第1ゲート酸化膜を成膜した後、メモリセルトランジスタ形成領域に前記第1ゲート酸化膜を残し、周辺トランジスタ形成領域の前記第1ゲート酸化膜に第2ゲート酸化膜を追加する工程と、

次いで、全面に第1多結晶シリコン膜を成膜し、周辺トランジスタ形成領域とメモリセルトランジスタ形成領域とを分離するようにパターニングする工程と、

次いで、前記半導体基板上に電極間絶縁膜と不純物を含有する第2多結晶シリコン膜と第1窒化膜を順次成膜する工程と、

次いで、パターニングにより、メモリセルトランジスタ形成領域の前記電極間絶縁膜と前記不純物を含有する第2多結晶シリコン膜と前記第1窒化膜を残し、周辺トランジスタ形成領域には前記第1多結晶シリコン膜を露出させる工程と、

次いで、メモリセルトランジスタのゲート電極となる所定の場所に、前記電極間絶縁膜と前記不純物を含有する第2多結晶シリコン膜と前記第1窒化膜をパターニングする工程と、

次いで、周辺トランジスタのゲート電極となる所定の場所に、前記第1多結晶シリコン膜をパターニングする工

程と、

次いで、メモリセルトランジスタ形成領域と周辺トランジスタ形成領域の開口部に順次不純物を導入した後、熱処理してドレインとソースを形成する工程と、

次いで、全面に第2窒化膜を成膜した後エッチバックして、メモリセルトランジスタ形成領域と周辺トランジスタ形成領域のゲート電極の側面にサイドウォールとして残す工程と、

次いで、周辺トランジスタ形成領域のゲート電極上とソース・ドレイン上に金属シリサイド層を形成する工程と、

次いで、全面に第3窒化膜、層間絶縁膜を順次形成し、メモリセルトランジスタ形成領域のソースと周辺トランジスタ形成領域のソース・ドレイン上にある前記層間絶縁膜及び前記第3窒化膜を除去し、コンタクトホールを開口する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、不揮発性半導体記憶装置およびその製造方法に関し、特に、フラッシュメモリに用いる不揮発性半導体記憶装置およびその製造方法に関する。

## 【0002】

【従来の技術】従来、フラッシュメモリに用いられる不揮発性半導体記憶装置は、フラッシュメモリプロセスにおいて、次のような工程を経て製造される。

【0003】図8～10は、従来のフラッシュメモリプロセスにおける不揮発性半導体記憶装置の製造工程を示す工程断面図（その1～3）である。

【0004】図8～10に示すように、まず、半導体基板1の表面に、素子分離領域1aを形成する。その後、トンネル酸化膜2、更に、第1多結晶シリコン膜3aを形成し、メモリセル領域の所定箇所のみレジストをマスクとして、第1多結晶シリコン膜3aをパターニングした後、不要部分である周辺トランジスタ(Tr)領域を除去する（図8(a)参照）。

【0005】次に、レジストマスクを剥離除去した後、酸化膜/窒化膜/酸化膜の多層膜4bを、第2ゲート絶縁膜として全面に形成する。その後、メモリセル領域のみを覆うレジスト5aをマスクとして（図8(b)参照）、多層膜4bとトンネル酸化膜2を除去し、更に、レジスト膜5aを除去してから、周辺トランジスタ領域に、ゲート酸化膜4aを形成する。その後、全面に第2多結晶シリコン膜3bを形成する（図8(c)参照）。

【0006】次に、レジスト膜5bをマスクとして、第1多結晶シリコン膜3aと多層膜4bと第2多結晶シリコン膜3bをパターニングし、メモリセル領域に、多層膜構成のゲート電極及びソース/ドレインを形成する（図8(d)参照）。

【0007】次に、全面を覆うレジスト5cをマスクとしてパターニングし、周辺トランジスタ領域に、第2多結晶シリコン膜3bを形成する(図9(e)参照)。

【0008】次に、全面にレジスト膜を塗布し、メモリセル領域にゲートとドレイン領域6aとソース領域6bを形成するためのレジスト膜5dで、パターニングする(図9(f)参照)。続けて、同様に、全面にレジスト膜5eを塗布し、周辺トランジスタ領域にゲートとドレイン領域6cとソース領域6dを形成するためのレジスト膜5eで、パターニングする(図9(g)参照)。

【0009】次に、レジスト膜5eを除去した後、第1窒化膜7を形成し、その後、プラズマによりエッチバックして、周辺トランジスタ領域及びメモリセル領域のゲート電極の側壁に、第1窒化膜7をサイドウォールとして残す(図9(h)参照)。ドレイン領域6aとソース領域6bを形成するためのレジスト膜5dで、パターニングする。

【0010】次に、TiやWを全面にスパッタし熱処理して、シリサイドを形成し、周辺トランジスタ領域及びメモリセル領域のゲート電極上、ソース・ドレイン領域上に、シリサイドプロセスによるシリサイド層8を形成する(図10(i)参照)。

【0011】次に、シリコン酸化膜からなる層間絶縁膜9を形成した後、周辺トランジスタ領域及びメモリセル領域のソース・ドレイン領域上に、層間絶縁膜9を貫通するコンタクトホール9aを形成する(図10(j)参照)。

【0012】最後に、コンタクトホール9aに充填する金属、例えばW等を用いて、スパッタCVD等により金属プラグ9bを形成し、更に、金属プラグ9bに接続する金属配線9cを形成する(図10(k)参照)。

【0013】これにより、フラッシュメモリに用いられる不揮発性半導体記憶装置が製造される。

【0014】

【発明が解決しようとする課題】しかしながら、上述した従来のフラッシュメモリプロセスにおいては、メモリセルの面積を縮小するために、ドレインコンタクトにセルフアラインコンタクトを適用し、更に、電源電圧を下げるために、シリサイドプロセスを適用しようとした場合、メモリセルトランジスタのゲート電極上には絶縁膜が存在することから、ゲート電極のシリサイドーションが不可能になり、メモリセルトランジスタのゲート電極の抵抗が高くなって、両プロセスを同時に適用することができない。

【0015】この発明の目的は、周辺トランジスタの低抵抗化を確保しつつセルサイズの面積を縮小することができる不揮発性半導体記憶装置およびその製造方法を提供することである。

【0016】

【課題を解決するための手段】上記目的を達成するた

め、この発明に係る不揮発性半導体記憶装置は、同一基板上にメモリセルトランジスタと周辺トランジスタを有する不揮発性半導体記憶装置において、前記メモリセルトランジスタと前記周辺トランジスタの両拡散層及び前記周辺トランジスタのゲート電極上に、金属シリサイド層が形成され、前記メモリセルトランジスタのコンタクトがセルフアラインコンタクト構造を有することを特徴としている。

【0017】上記構成を有することにより、メモリセルトランジスタと周辺トランジスタの両拡散層及び周辺トランジスタのゲート電極上には、金属シリサイド層が形成されると共に、メモリセルトランジスタのコンタクトが、セルフアラインコンタクト構造を有することになる。これにより、周辺トランジスタの低抵抗化を確保しつつセルサイズの面積を縮小することができる。

【0018】また、この発明に係る不揮発性半導体記憶装置の製造方法により、上記不揮発性半導体記憶装置を実現することができる。

【0019】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。

【0020】図1～3は、この発明の一実施の形態に係るフラッシュメモリプロセスにおける不揮発性半導体記憶装置の製造工程を示す工程断面図(その1～3)である。

【0021】不揮発性半導体記憶装置10は、メモリセルトランジスタと周辺トランジスタを有しており、両トランジスタは、半導体基板11の素子分離領域12により分離されている(図3(1)参照)。

【0022】図1～3に示すように、先ず、例えば、P型の半導体基板11の表面に、既存技術で素子分離領域12を形成する。この素子分離領域12は、従来のLOCOSならば、厚さ約300nmのSiO<sub>2</sub>膜を熱酸化により形成し、トレンチならば、深さ約200nmに設定し内部に絶縁膜を埋め込んだ後に、CMP(chemical mechanical polishing)法によって研磨し形成する。

【0023】この絶縁膜は、例えば、高密度プラズマ(high density plasma:HDP)CVD(chemical vapor deposition)法により、厚さ約400nmに形成される。

【0024】素子分離領域12を形成した後、メモリセルトランジスタを形成する予定のメモリセル領域10aには、厚さ約9nmのSiO<sub>2</sub>膜からなる第1ゲート酸化膜(トンネル絶縁膜)13を、周辺トランジスタを形成する予定の周辺トランジスタ(Tr)領域10bには、厚さ約5nmのSiO<sub>2</sub>膜からなる第2ゲート酸化膜14を、リソグラフィとエッチングを用いてそれぞれ形成する。

【0025】このとき、第1ゲート酸化膜13の成膜

後、メモリセル領域10aに第1ゲート酸化膜13を残し、周辺トランジスタ領域10bの第1ゲート酸化膜13の上に、第2ゲート酸化膜14を追加して形成する。これにより、メモリセル領域10aと周辺トランジスタ領域10bに、ゲート酸化膜が形成される。なお、必要に応じ、数種類の膜厚からなる第2ゲート酸化膜14を形成してもよい。

【0026】引き続き、メモリセル領域10aと周辺トランジスタ領域10bに、例えば、多結晶シリコンからなる厚さ約100nmの第1多結晶シリコン膜15を、CVD法により形成する。その後、レジスト等のパターニングマスクで、メモリセル領域10aと周辺トランジスタ領域10bとを分離するように、パターニングする(図1(a)参照)。

【0027】なお、メモリセル領域10aの第1多結晶シリコン膜15には、例えば、リン等の不純物を含ませておいても良い。レジスト等は、エッチングが終わり次第除去する。

【0028】次に、メモリセル領域10aに、第1多結晶シリコン膜15上を覆うように、CVD法により電極間絶縁膜16を形成する。この電極間絶縁膜16は、例えば、 $\text{SiO}_2$ - $\text{Si}_3\text{N}_4$ - $\text{SiO}_2$ 膜の3層構造からなる厚さ約15nmのONO(Oxide Nitride Oxide)膜を代表として、形成される。

【0029】続いて、電極間絶縁膜16を覆う、例えば、厚さ約50nmの不純物のリンを含んだ多結晶シリコン膜と厚さ約100nmのWSiからなる第2多結晶シリコン膜17を、CVD法により形成する。更に、第2多結晶シリコン膜17を覆う、例えば、厚さ約200nmの窒化物からなる第1窒化膜18を、CVD法により形成する(図1(b)参照)。

【0030】即ち、半導体基板11上に、電極間絶縁膜16と、第2多結晶シリコン膜17と、第1窒化膜18とを、記載順に成膜する。この第2多結晶シリコン膜17は、メモリセルトランジスタの制御ゲートとして機能する。

【0031】次に、例えば、レジスト19等のパターニングマスクで、メモリセル領域10aの第1窒化膜18、第2多結晶シリコン膜17、電極間絶縁膜16を残すように、メモリセル領域10aのみを覆ってパターニングし、周辺トランジスタ領域10bの第1多結晶シリコン膜15を露出させる(図1(c)参照)。

【0032】次に、例えば、レジスト20等のパターニングマスクで、メモリセルトランジスタの制御ゲート電極となる所定の場所を除くように、メモリセル領域10aと周辺トランジスタ領域10bをパターニングし、露出させたメモリセル領域10aの第1窒化膜18、第2多結晶シリコン膜17、電極間絶縁膜16、第1多結晶シリコン膜15を、例えば、RIE(reactive ion etching)技術を用いたドライエッチ

ングにより、順次除去する(図1(d)参照)。エッチング終了後、レジスト20を除去する。

【0033】次に、例えば、レジスト21等のパターニングマスクで、周辺トランジスタの制御ゲート電極となる所定の場所を除くように、周辺トランジスタ領域10bとメモリセル領域10aをパターニングし、露出させた周辺トランジスタ領域10bの第1多結晶シリコン膜15を、例えば、RIE技術を用いたドライエッチングにより除去する(図2(e)参照)。エッチング終了後、レジスト21を除去する。

【0034】次に、例えば、レジスト22等のパターニングマスクで、メモリセル領域10aのみを露出させ周辺トランジスタ領域10bを覆うようにパターニングし、イオン注入技術によりメモリセル領域10aの開口部に順次不純物を導入し、メモリセル領域10aにドレイン領域23とソース領域24を形成する(図2(f)参照)。イオン注入終了後、レジスト22を除去する。

【0035】次に、例えば、レジスト25等のパターニングマスクで、周辺トランジスタ領域10bのみを露出させメモリセル領域10aを覆うようにパターニングし、イオン注入技術により、周辺トランジスタ領域10bの開口部に順次不純物を導入し、周辺トランジスタ領域10bにソース・ドレイン領域26を形成する(図2(g)参照)。イオン注入終了後、レジスト25を除去する。

【0036】このレジスト25の除去に引き続き、メモリセル領域10aと周辺トランジスタ領域10bの拡散層を活性化するためのアニールを行う。

【0037】次に、例えば、厚さ約200nmの窒化物からなる第2窒化膜27を、CVD法により形成し、その後、エッチバックして、メモリセル領域10aと周辺トランジスタ領域10bに形成された各ゲート電極の側面に、サイドウォールとして残す。

【0038】更に、例えば、厚さ約11nmのCoSiからなる合金をスパッタ法により形成し、アニールを数回加えた後に余剰のCoSiを除去して、メモリセル領域10aのドレイン領域23上とソース領域24上、及び周辺トランジスタ領域10bのソース・ドレイン領域26上とゲート電極上に、サリサイドプロセスにより金属シリサイド層28を形成する(図2(h)参照)。

【0039】次に、第2窒化膜27及びシリサイド層28を覆うように、メモリセル領域10aと周辺トランジスタ領域10bの全面に、例えば、厚さ約100nmの第3窒化物29を、CVD法により形成する(図3(i)参照)。

【0040】次に、第3窒化物29を覆うように、メモリセル領域10aと周辺トランジスタ領域10bの全面に、例えば、厚さ約700nmのBPSG(boron phospho silicate glass)膜等からなる層間絶縁膜30を、CVD法により形成す

る。

【0041】この層間絶縁膜30の表面を、例えば、CMP法等で研磨した後、RIE技術等を用いて、メモリセル領域10aのドレイン領域23上にある層間絶縁膜30及び第3窒化物29を除去し、セルコンタクトホール31を開口する(図3(j)参照)。

【0042】次に、RIE技術等を用いて、周辺トランジスタ領域10bのソース・ドレイン領域26上にある層間絶縁膜30及び第3窒化物29を除去し、コンタクトホール32を開口する(図3(k)参照)。

【0043】最後に、例えば、Ti又はTiN等のバリアメタルをスパッタした後に、WCMP法或いはエッチバック法等により、セルコンタクトホール31及びコンタクトホール32に充填する、W等の高融点金属等からなる金属プラグ33を形成する。更に、金属プラグ33に接続する、例えば、アルミニウム等の金属配線34をパターニングする(図3(l)参照)。

【0044】図4は、この発明の他の実施の形態に係る不揮発性半導体記憶装置の製造工程の一部を示す工程断面図である。この例においては、周辺トランジスタ領域10bのコンタクトホール32を、メモリセル領域10aのセルコンタクトホール31と同時に形成している。その他の構成及び作用は、図1～3に示す不揮発性半導体記憶装置の製造工程(その1～3)と同様である。

【0045】不揮発性半導体記憶装置の製造工程(その3)において、第3窒化物29を形成した(図3(i)参照)後、第3窒化物29を覆うように、メモリセル領域10aと周辺トランジスタ領域10bの全面に、例えば、厚さ約700nmのBPSG膜等からなる層間絶縁膜30を、CVD法により形成し、例えば、CMP法等で層間絶縁膜30の表面を研磨する。

【0046】その後、メモリセル領域10aのセルコンタクトホール31を、RIE技術等を用いて開口するが、このとき、周辺トランジスタ領域10bのコンタクトホール32も同時に開口する(図4参照)。

【0047】そして、同時に行われた両コンタクトホール31、32の開口後、金属プラグ33を形成し、金属配線34をパターニングする(図3(l)参照)。

【0048】この例の場合、セルコンタクトホール31とコンタクトホール32の開口時、第3窒化膜29を除去するが、メモリセル領域10aの制御ゲート電極は、周囲を第1窒化膜18と第2窒化膜27で覆われている(図4参照)ため、第3窒化膜29を除去したとしても、その後に形成される金属配線34とゲート電極がショートすることはない。

【0049】図5、6は、この発明の更に他の実施の形態に係る不揮発性半導体記憶装置の製造工程の一部を示す図2、3と同様の工程断面図(その2、3)である。

【0050】この例においては、メモリセル領域10aにおけるソース領域の第1ゲート酸化膜13をエッチン

グにより除去する際に、制御ゲートに対し目ずれマージンをとってレジストをパターニングしている。その他の構成及び作用は、上述した、この発明の他の実施の形態に示す不揮発性半導体記憶装置の製造工程の場合と同様である。

【0051】不揮発性半導体記憶装置の製造工程(その2)において、周辺トランジスタ領域10bのゲート電極形成領域以外の第1多結晶シリコン膜15をエッチングにより除去し(図2(e)参照)、レジスト21を除去した後、例えば、レジスト(図示しない)等のパターニングマスクで、ソース領域のみを露出させてメモリセル領域10aを覆うようにパターニングし、露出させたソース領域の第1ゲート酸化膜13をエッチングにより除去する。

【0052】このとき、メモリセル領域10aの制御ゲートに対する目ずれマージンをとって、レジスト35をパターニングする(図5(m)参照)。

【0053】即ち、周辺トランジスタ領域10bにおけるゲート電極形成後のセルフアライメントプロセスにより、ソース領域形成部分の第1ゲート酸化膜13を除去するためのパターニングと、メモリセル領域10aのソース領域24(図2(f)参照)を形成するためのパターニングを同時に行って、セルフアラインソース(SAS)36を形成する。その後、レジスト35を除去する。

【0054】セルフアラインソース36を形成し、レジスト35を除去した後、例えば、レジスト37等のパターニングマスクで、メモリセル領域10aのみを露出させ周辺トランジスタ領域10bを覆うようにパターニングし、イオン注入技術によりメモリセル領域10aの開口部に順次不純物を導入し、メモリセル領域10aにドレイン領域23とソース領域24を形成する(図5(f')参照)。イオン注入終了後、レジスト27を除去する。

【0055】次に、図2(g)と同様に、レジスト38によるパターニングで、周辺トランジスタ領域10bのみを露出させ、周辺トランジスタ領域10bにソース・ドレイン領域26を形成し(図5(g')参照)、レジスト38を除去する。引き続き、メモリセル領域10aと周辺トランジスタ領域10bの拡散層を活性化するためのアニールを行う。

【0056】次に、図2(h)と同様に、第2窒化膜27をCVD法により形成し、メモリセル領域10aと周辺トランジスタ領域10bの各ゲート電極の側面に、サイドウォールとして残す。更に、メモリセル領域10aのドレイン領域23上とソース領域24上、及び周辺トランジスタ領域10bのソース・ドレイン領域26上とゲート電極上に、サリサイドプロセスによりCoSiからなる合金のシリサイド層28を形成する(図5(h')参照)。

【0057】次に、図3(i)と同様に、メモリセル領域10aと周辺トランジスタ領域10bの全面に、第3窒化物29をCVD法により形成する(図5(i')参照)。

【0058】次に、図4と同様に、メモリセル領域10aと周辺トランジスタ領域10bの全面に、CVD法により層間絶縁膜30を形成し、その表面を研磨した後、メモリセル領域10aのセルコンタクトホール31を、周辺トランジスタ領域10bのコンタクトホール32と同時に開口する(図6(n)参照)。

【0059】そして、同時に行われた両コンタクトホール31、32の開口後、図3(i)と同様に、金属プラグ33を形成し、金属配線34をパターンニングする(図5(i')参照)。

【0060】図7は、不揮発性半導体記憶装置のセルサイズを示し、(a)は、この発明に係る不揮発性半導体記憶装置の製造方法により製造された場合の平面図、

(b)は従来の不揮発性半導体記憶装置の製造方法により製造された場合の平面図である。

【0061】上述したように、この発明に係るフラッシュメモリプロセスにおける不揮発性半導体記憶装置の製造方法では、メモリセル面積を縮小するために、ドレインコンタクトを形成する際、セルフアライメントプロセスによるセルフアラインコンタクトを適用し、更に、電源電圧を下げるために、サリサイドプロセスを適用して金属シリサイド層を形成することが、同時に可能となる。

【0062】即ち、周辺トランジスタ領域10bのゲート部分の多結晶シリコンとメモリセル領域10aの浮遊ゲート部分の多結晶シリコンとを同時に形成し、その後、メモリセル領域10aの両電極の各ドレイン領域23側にセルフアラインコンタクトを形成し、第2窒化膜27を全面に被せた状態でエッチバックするようにした後、周辺トランジスタ領域10bのゲート電極とソース・ドレイン領域26の拡散層を、サリサイドプロセスによりシリサイド化している。

【0063】従って、図7に示すように、この発明に係る不揮発性半導体記憶装置10においては、セルコンタクトホール31を、制御ゲート39及び浮遊ゲート40のゲートライン側に入り込むように配置する((a)参照)ことが可能となる。このため、不揮発性半導体記憶装置10におけるメモリセルの面積であるセルサイズSを、コンタクトホール9aがゲートラインから離れて位置する((b)参照)従来の不揮発性半導体記憶装置におけるセルサイズS'に比べ、より小さくすることができる。

【0064】つまり、従来は、セルコンタクトホール31とゲートラインとのマージンm(図7(b)参照)が存在していた( $m > 0$ )が、この発明では、セルコンタクトホール31とゲートラインとのマージンmが存在し

ない( $m \leq 0$ )。よって、ドレイン側に配置するゲート電極の間隔が狭くなる。

【0065】また、セルフアラインコンタクトを形成した後、第2窒化膜27を全面に被せた状態でエッチバックするので、ゲート電極の両側面(エッジ)を、段差がないほぼ垂直な面により形成することができる。

【0066】このように、この発明によれば、フラッシュメモリプロセスにおける不揮発性半導体記憶装置10の製造に際し、メモリセル領域10aと周辺トランジスタ領域10bの両拡散層に金属シリサイド層28を形成すると同時に、メモリセル領域10aに自己整合的コンタクト(セルフアラインコンタクト:SAC)を形成することができる。これにより、周辺トランジスタの低抵抗化を確保しつつメモリセルのサイズをより小さくすることが可能となる。

【0067】これは、周辺トランジスタのゲート電極を、メモリセルトランジスタの浮遊ゲート電極と同じ材料で形成し、且つ、メモリセルトランジスタの制御ゲート電極上に絶縁膜を形成して、セルフアラインコンタクトのプロセスの適用を可能にしたためである。

【0068】

【発明の効果】以上説明したように、この発明によれば、メモリセルトランジスタと周辺トランジスタの両拡散層及び周辺トランジスタのゲート電極上には、金属シリサイド層が形成されると共に、メモリセルトランジスタのコンタクトが、セルフアラインコンタクト構造を有することになるので、周辺トランジスタの低抵抗化を確保しつつセルサイズの面積を縮小することができる。

【0069】また、この発明に係る不揮発性半導体記憶装置の製造方法により、上記不揮発性半導体記憶装置を実現することができる。

【図面の簡単な説明】

【図1】この発明の一実施の形態に係るフラッシュメモリプロセスにおける不揮発性半導体記憶装置の製造工程を示す工程断面図(その1)である。

【図2】この発明の一実施の形態に係るフラッシュメモリプロセスにおける不揮発性半導体記憶装置の製造工程を示す工程断面図(その2)である。

【図3】この発明の一実施の形態に係るフラッシュメモリプロセスにおける不揮発性半導体記憶装置の製造工程を示す工程断面図(その3)である。

【図4】この発明の他の実施の形態に係る不揮発性半導体記憶装置の製造工程の一部を示す工程断面図である。

【図5】この発明の更に他の実施の形態に係る不揮発性半導体記憶装置の製造工程の一部を示す図2と同様の工程断面図(その2)である。

【図6】この発明の更に他の実施の形態に係る不揮発性半導体記憶装置の製造工程の一部を示す図3と同様の工程断面図(その3)である。

【図7】不揮発性半導体記憶装置のセルサイズを示し、



(a) は、この発明に係る不揮発性半導体記憶装置の製造方法により製造された場合の平面図、(b) は従来の不揮発性半導体記憶装置の製造方法により製造された場合の平面図である。

【図8】従来のフラッシュメモリプロセスにおける不揮発性半導体記憶装置の製造工程を示す工程断面図(その1)である。

【図9】従来のフラッシュメモリプロセスにおける不揮発性半導体記憶装置の製造工程を示す工程断面図(その2)である。

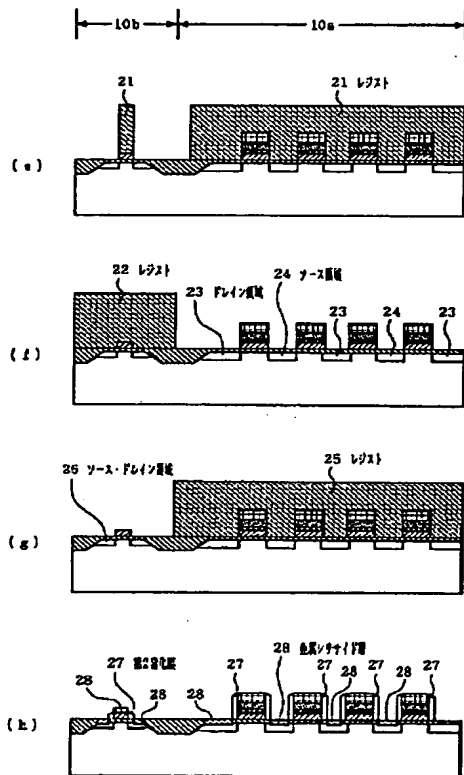
【図10】従来のフラッシュメモリプロセスにおける不揮発性半導体記憶装置の製造工程を示す工程断面図(その3)である。

【符号の説明】

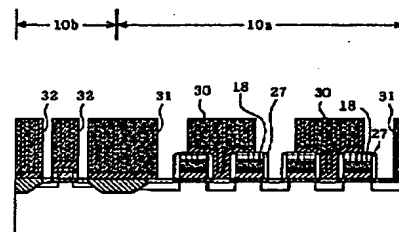
- 10 不揮発性半導体記憶装置
- 10a メモリセル領域
- 10b 周辺トランジスタ領域
- 11 半導体基板
- 12 素子分離領域
- 13 第1ゲート酸化膜
- 14 第2ゲート酸化膜
- 15 第1多結晶シリコン膜

- 16 電極間絶縁膜
- 17 第2多結晶シリコン膜
- 18 第1窒化膜
- 19, 20, 21, 22, 25, 35, 37, 38 レジスト
- 23 ドレイン領域
- 24 ソース領域
- 26 ソース・ドレイン領域
- 27 第2窒化膜
- 28 シリサイド層
- 29 第3窒化物
- 30 層間絶縁膜
- 31 セルコンタクトホール
- 32 コンタクトホール
- 33 金属プラグ
- 34 金属配線
- 36 セルフアラインソース
- 39 制御ゲート
- 40 浮遊ゲート
- S, S' セルサイズ
- m マージン

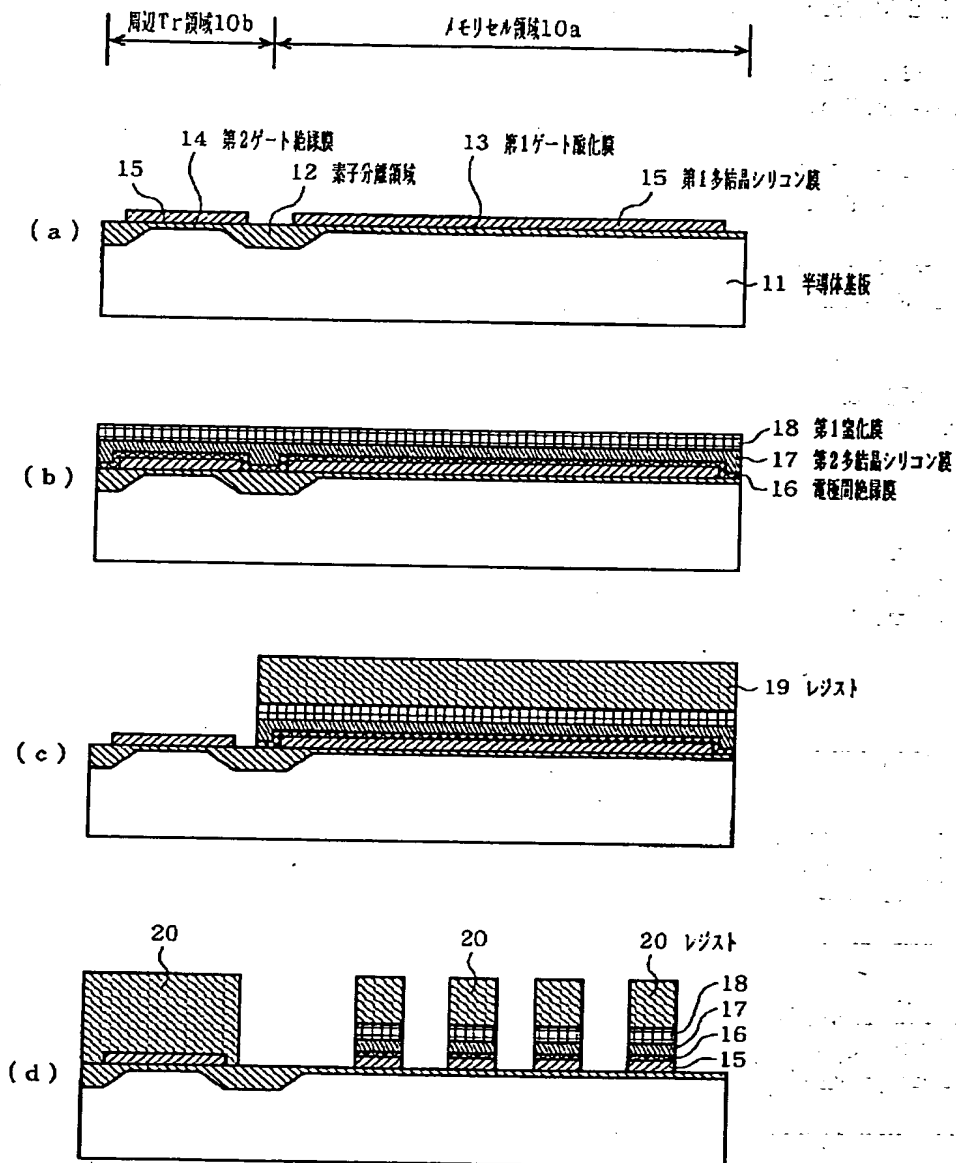
【図2】



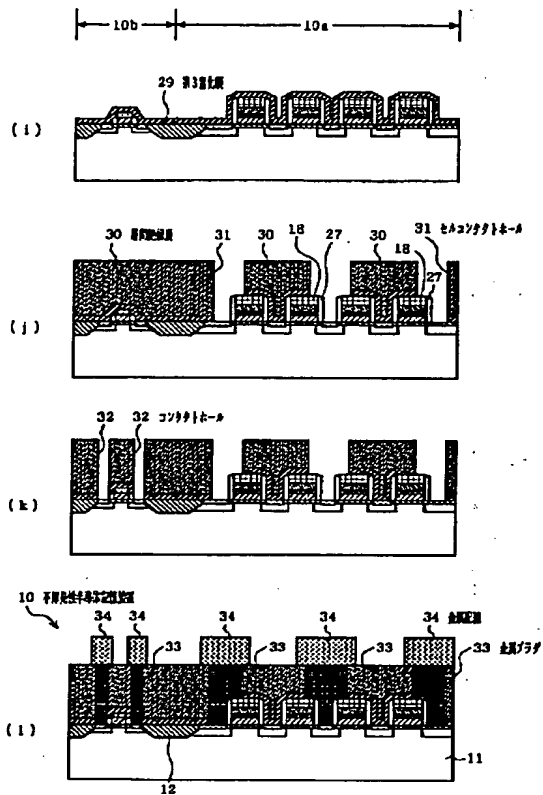
【図4】



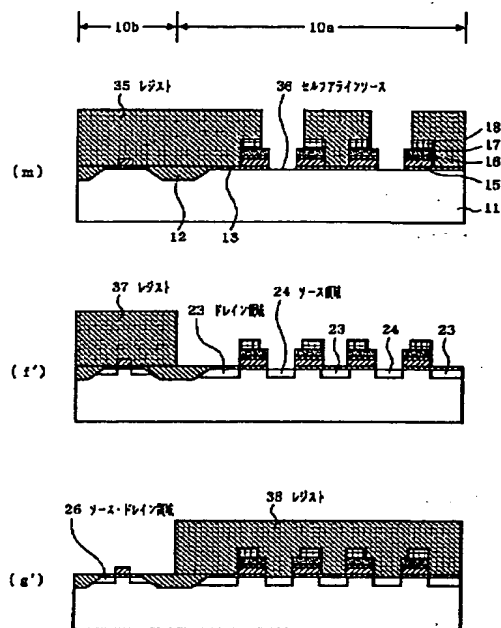
【図1】



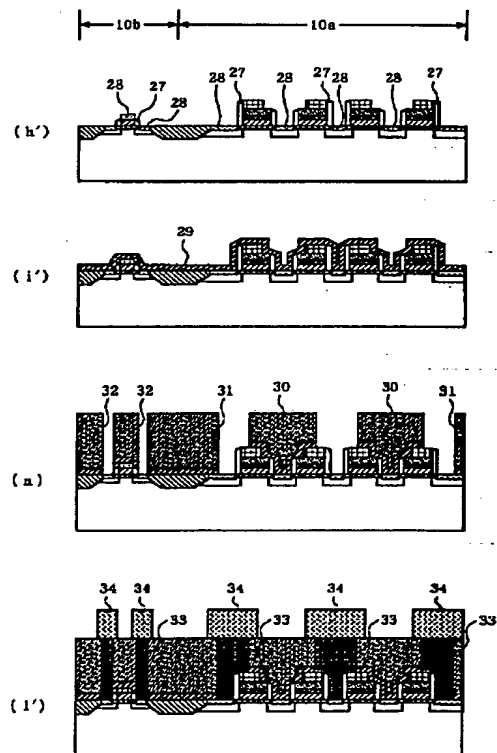
【図3】



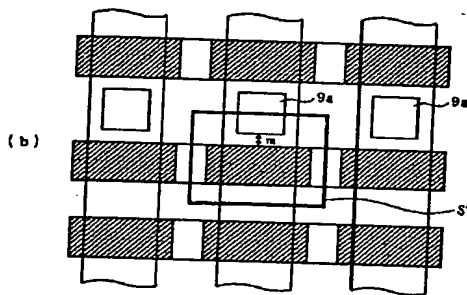
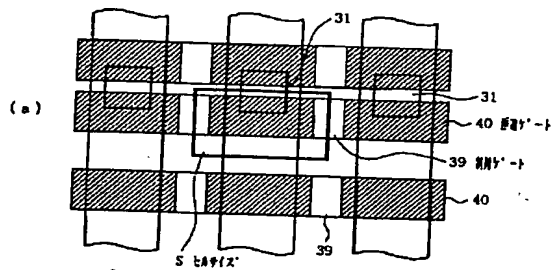
【図5】



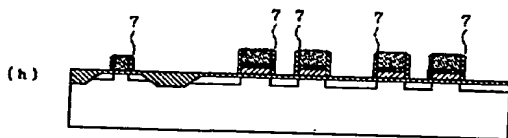
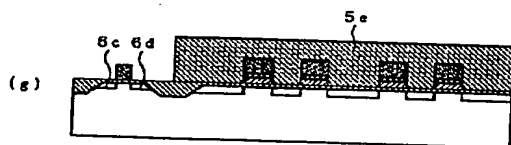
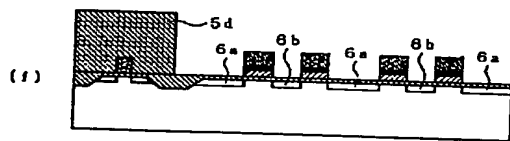
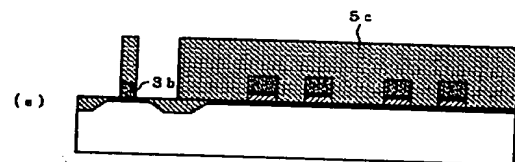
【図6】



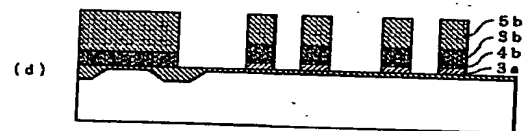
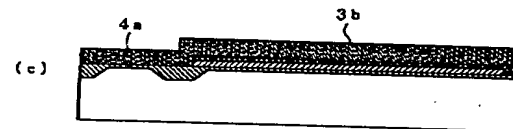
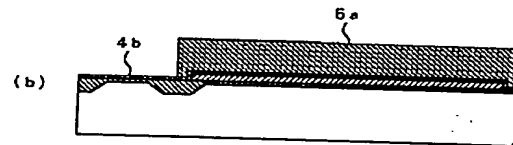
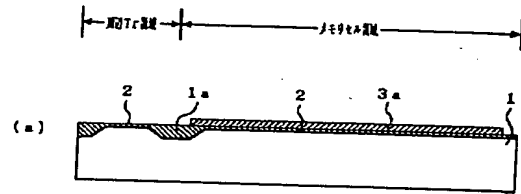
【図7】



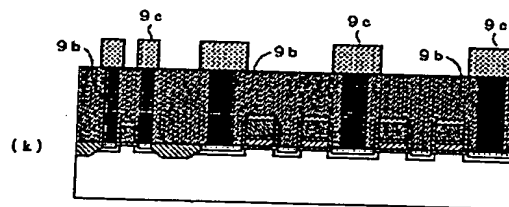
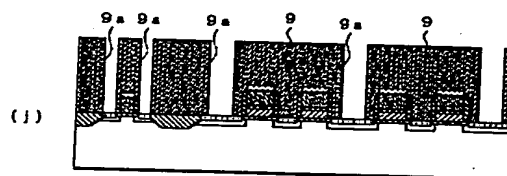
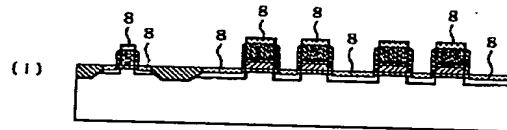
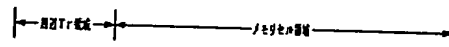
【図9】



【図8】



【図10】



フロントページの続き

Fターム(参考) 5F001 AA02 AA43 AA63 AB08 AD12  
AD61 AD62 AE08 AG07 AG10  
AG40  
5F083 EP23 EP55 EP56 ER22 GA09  
JA04 JA35 JA36 JA39 JA40  
JA53 JA56 MA02 MA06 MA20  
PR29 PR39 PR40 PR42 PR43  
PR52 PR53 ZA04 ZA05 ZA06  
ZA07  
5F101 BA02 BA29 BA36 BB05 BD02  
BD36 BD37 BE07 BH14 BH19  
BH21

